

【発明の名称】 昇圧回路

【発明の背景】

本発明は、不揮発性半導体記憶装置等の半導体集積回路装置に用いられる昇圧回路に関する。

従来、昇圧電位の上限値を、昇圧された出力電位（昇圧電位）と基準電位とを比較して制御する昇圧回路は、例えば不揮発性半導体記憶装置における消去用及び書込み用の高電圧供給回路に昇圧電位の上限値を決定するために設けられているトランジスタの破壊を防止する目的に用いられている（例えば、特開平４－１３２０８８号公報を参照。）。

図２０は上記公報に記載された従来の昇圧回路の構成の一例を示している。

図２０に示すように、複数（ n 個、但し n は１以上の整数。）のポンプ回路８１１～８１ n はそれぞれ、ゲート及びドレインとが接続され且つ互いに直列に接続された第１の N チャネル MOS トランジスタ $MN1$ 及び第２の N チャネル MOS トランジスタ $MN2$ と、一方の電極が各トランジスタ $MN1$ 、 $MN2$ のゲートと接続され、他方の電極がポンピング制御信号発生回路８６０から出力される相補信号であるポンピング制御信号 Tc 、 Bc を受ける第１のポンピング容量 $C1$ 及び第２のポンピング容量 $C2$ とにより構成されている。

初段のポンプ回路８１１は、ゲート及びドレインが接続された N チャネル MOS からなる電源トランジスタ $NT r 81$ を介して、電源端子 Vcc と順方向接続されている。また、最終段のポンプ回路８１ n の出力端子は、ゲート及びドレインが電源端子 Vcc と接続されたプルアップ用 N チャネル MOS トランジスタ $NT r 82$ のソースと接続されて昇圧電位（出力電位） $VPUMP$ が取り出されると共に、昇圧電位感知回路８２０の入力端子と接続されている。

昇圧電位感知回路８２０は、入力端子に昇圧電位 $VPUMP$ が印加され、その出力端子から比較用出力電位 $VPUMPC$ が出力されて、比較増幅回路８３０の非反転入力端子に印加される。

比較増幅回路８３０は、反転入力端子に基準電位発生回路８４０からの基準電位 $VREF$ が印加される差動増幅回路であり、昇圧電位感知回路８２０の比較用

出力電位 V_{PUMP} と基準電位発生回路 840 の基準電位 V_{REF} とを比較して、その比較結果をポンピング制御信号発生回路 860 に出力する。

以下、前記のように構成された昇圧回路の動作を説明する。

図 20 に示す昇圧回路は、ポンピング制御信号発生回路 860 で生成される相補クロック信号 T_c 、 B_c を用い、各ポンプ回路 811 ~ 81n を構成する第 1 及び第 2 のポンピング容量 C_1 、 C_2 の電位をそれぞれ交互にハイレベルとロウレベルとに駆動する。これにより、しきい値電圧が V_{TH} である電源トランジスタ $NTr81$ を介して供給された電位 ($V_{CC} - V_{TH}$) に、段数 n によって決定される昇圧電位差 ΔV だけ加えた電位 ($V_{CC} - V_{TH} + \Delta V$) を昇圧回路の出力電位 V_{PUMP} として得ることができる。

比較増幅回路 830 は、基準電位 V_{REF} が比較用出力電位 V_{PUMP} よりも高いか等しい場合、すなわち $V_{REF} \geq V_{PUMP}$ となる期間は昇圧動作を続け、逆に、基準電位 V_{REF} が比較用出力電位 V_{PUMP} よりも低い場合、すなわち $V_{REF} < V_{PUMP}$ となる期間は昇圧動作を停止する。

なお、他の従来例として、出力電位（昇圧電位）の値に応じてポンピングパルスのパルス幅を可変として出力電位の制御を行なう方法も提案されている。

しかしながら、図 20 に示す昇圧回路は、図 21 に示すように、所定の昇圧電位、すなわち目標値に対して、出力電位にオーバーシュート又はアンダーシュートが生じるため、昇圧された出力電位の制御が難しいという問題がある。これは、出力電位に応じて、昇圧回路の昇圧動作及び昇圧停止を切り換えるため、センス遅延等により、出力電位の判定に遅れが生じるからである。

また、従来のポンピングパルス幅を制御する昇圧方法には、パルス幅を制御する制御回路の回路規模及び消費電力が大きくなるという他の問題がある。これは、パルス幅制御回路においては、昇圧電位の出力値に応じた中間電位を生成し、生成した中間電位をパルス発生回路に入力することによってパルス幅の制御を行なうからである。

【発明の開示】

本発明は、前記従来の問題に鑑み、所定の昇圧電位に対する出力電位の変動幅

を小さくすると共に、簡易な回路構成で容易に制御ができるようにすることを目的とする。

前記の目的を達成するため、本発明に係る第１の昇圧回路は、それぞれが、電荷転送トランジスタと、互いに並列に接続された複数の昇圧用キャパシタとを含み、クロック信号により入力電圧を昇圧して出力する１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号によりクロック信号を出力するクロック発生部とを備え、昇圧部は、制御信号に基づいて複数の昇圧用キャパシタの接続状態を切り換える接続切換回路を有している。

第１の昇圧回路によると、例えば外部からの制御信号に応じて、動作させる昇圧セル内の昇圧用キャパシタの個数を調節することにより、昇圧部の昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるようになる。その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて消費電流をも低減することができる。

本発明に係る第２の昇圧回路は、制御信号に基づいて、第１のクロック信号の振幅を変更し切り換えた第２のクロック信号を出力するクロック振幅切換部と、それぞれが、電荷転送トランジスタ及び昇圧用キャパシタを含み、第２のクロック信号により入力電圧を昇圧して出力する１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第１のクロック信号を出力するクロック発生部とを備えている。

第２の昇圧回路によると、第２のクロック信号の振幅を第１のクロック信号の振幅よりも小さくすることにより、昇圧セルが持つ昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるようになる。その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の耐圧オーバーを防止することができる。

本発明に係る第３の昇圧回路は、それぞれが、互いに並列に接続され、前段か

らの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第１のクロック信号を受ける出力電圧用キャパシタとを含む１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第１のクロック信号及び該第１のクロック信号と位相が異なる第２のクロック信号を出力するクロック発生部とを備え、昇圧部は、それぞれ、一方の電極が各電荷転送トランジスタのゲートと接続され、他方の電極が第２のクロック信号を受ける複数のゲート昇圧用キャパシタと、ゲート昇圧用キャパシタと接続され、制御信号に基づいて各電荷転送トランジスタを選択的に動作させる電荷転送トランジスタ制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

第３の昇圧回路によると、制御信号に応じて動作させる昇圧セル内の電荷転送トランジスタの数を変更することにより、昇圧部の昇圧能力を調整できるため、設定された目標電圧に対するオーバーシュートを防止できるようになる。その結果、昇圧回路を構成する素子の信頼性を向上でき、加えて昇圧部の動作時における電源電流のピーク値を低減することができる。

本発明に係る第４の昇圧回路は、それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第１のクロック信号を受ける出力電圧用キャパシタとを含む１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、検知信号により第１のクロック信号及び該第１のクロック信号と位相が異なる第２のクロック信号を出力するクロック発生部とを備え、昇圧部は、それぞれ、一方の電極が各電荷転送トランジスタのゲートと接続され、他方の電極が第２のクロック信号を受ける複数のゲート昇圧用キャパシタと、ゲート昇圧用キャパシタと接続され、複数の電荷転送トランジスタを順次シフトさ

せながら動作させる電荷転送トランジスタシフト制御回路と、各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

第４の昇圧回路によると、複数の電荷転送トランジスタに遅延を与えながら、該複数の電荷転送トランジスタを徐々に動作させることができる。従って、このような簡便な回路構成であっても、昇圧部の動作時における電源電流のピーク値を低減することができる。

第１～第３の昇圧回路は、昇圧部からの出力電圧を検出して、制御信号を出力する昇圧電圧検知制御部をさらに備えていることが好ましい。このようにすると、昇圧電圧が目標電圧値に近づくにつれて昇圧能力を下げる可以降低のため、昇圧電圧のオーバーシュートを防ぐことができる。

この場合に、電源電圧を検出して、昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えていることが好ましい。このようにすると、電源電圧に応じて昇圧能力を調整できるため、低電源電圧時に昇圧能力が下がり過ぎないようにすることができるので、比較的に広い帯域（範囲）を持つ電源電圧を昇圧する場合においても、昇圧電圧のオーバーシュートを防ぐことができ、その上、低電源電圧側におけるセットアップ時間の遅延をも防止することができる。

また、第１～第３の昇圧回路は、電源電圧を検出して、制御信号を出力する昇圧電圧検知制御部をさらに備えていることが好ましい。このようにすると、電源電圧が高い場合であっても、昇圧能力が上がり過ぎないようにすることができるため、比較的に広い電圧帯域を持つ電源電圧を昇圧する場合においても、昇圧電圧のオーバーシュートを防ぐことができる。

【図面の簡単な説明】

図１は本発明の第１の実施形態に係る昇圧回路を示す回路図である。

図２は本発明の第１の実施形態に係る昇圧回路に供給されるクロック信号の波形図である。

図３は本発明の第１の実施形態に係る昇圧回路を構成する昇圧電圧検知回路の一例を示す回路図である。

図 4 は本発明の第 2 の実施形態に係る昇圧回路を示す回路図である。

図 5 (a) は本発明の第 2 の実施形態に係る昇圧回路を構成するクロック振幅切換回路の一例を示す回路図である。

図 5 (b) は (a) に示すクロック振幅切換回路における入力信号と出力信号とを示す波形図である。

図 6 は本発明の第 3 の実施形態に係る昇圧回路を示す回路図である。

図 7 は本発明の第 3 の実施形態に係る昇圧回路に供給されるクロック信号の波形図である。

図 8 は本発明の第 3 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

図 9 は本発明の第 4 の実施形態に係る昇圧回路を示す回路図である。

図 10 は本発明の第 4 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

図 11 は本発明の第 5 の実施形態に係る昇圧回路を示すブロック構成図である。

図 12 は本発明の第 5 の実施形態に係る昇圧回路を構成する昇圧電圧検知制御回路の一例を示す回路図である。

図 13 は本発明の第 5 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

図 14 は本発明の第 6 の実施形態に係る昇圧回路を示すブロック構成図である。

図 15 は本発明の第 6 の実施形態に係る昇圧回路を構成する電源電圧検知制御回路の一例を示す回路図である。

図 16 は本発明の第 6 の実施形態に係る昇圧回路の昇圧動作を示すタイミングチャート図である。

図 17 は本発明の第 7 の実施形態に係る昇圧回路を示すブロック構成図である。

図 18 (a) は本発明の第 7 の実施形態に係る昇圧回路を構成する昇圧電圧検知制御回路の一例を示す回路図である。

図 18 (b) は本発明の第 7 の実施形態に係る昇圧回路を構成する電源電圧検知制御回路の一例を示す回路図である。

図 19 は本発明の第 7 の実施形態に係る昇圧回路の昇圧動作を示すタイミング

チャート図である。

図 20 は従来の昇圧回路を示す構成図である。

図 21 は従来の昇圧回路の昇圧動作を示す図である。

【発明の詳細な説明】

（第 1 の実施形態）

本発明の第 1 の実施形態について図面を参照しながら説明する。

図 1 は本発明の第 1 の実施形態に係る昇圧回路を示している。

図 1 に示すように、第 1 の実施形態に係る昇圧回路は、互いに直列に接続された 3 段の昇圧セル 11、12、13、後段の昇圧セル 13 の出力側に設けられダイオード接続された Nch トランジスタ M14 からなる電力出力部 14 を含む昇圧部 10 と、該昇圧部 10 から出力される出力電圧（昇圧電圧）VPP を検知し、検知した出力電圧 VPP が所定の電圧値以下である場合に、クロック制御信号（検知信号）PEN を出力する昇圧電圧検知回路 120 と、クロック制御信号 PEN に基づいて、外部から入力されるクロック信号 CLK1 又は CLK2 を各昇圧セル 11～13 に対して選択的に出力する昇圧クロック制御回路 140 とにより構成されている。

各昇圧セル 11～13 は、入力端子 VIN と出力端子 VO との間に設けられ、ゲート及びドレインが接続（ダイオード接続）された第 1 の Nch トランジスタ M11 と、ゲート及びドレインが電源電圧 VDD に接続され、ソースが第 1 の Nch トランジスタ M11 のソースと接続された第 2 の Nch トランジスタ M12 と、クロック信号 CLK1 又は CLK2 が入力される昇圧クロック入力端子 CLKM と第 1 の Nch トランジスタ M11 のドレインとの間に設けられた昇圧用キャパシタ CP とを有している。

昇圧用キャパシタ CP には、n（但し、n は 1 以上の整数。）個の補助昇圧用キャパシタ CS1～CSn が、外部から入力される制御信号としての昇圧能力代替信号 EN1～ENn によりそれぞれ制御される接続切換回路 131～13n を介して並列に接続されている。

また、初段の昇圧セル 11 の入力端子 VIN には、ゲート及びドレインが電源

電圧 V_{DD} に接続された第3のNchトランジスタ M_{13} が接続されている。

ここで、昇圧部10における昇圧効率を上げるには、各Nchトランジスタ $M_{11} \sim M_{14}$ のしきい値電圧が0Vであることが望ましい。また、各Nchトランジスタ $M_{11} \sim M_{14}$ に代えてダイオードを用いても良く、さらには、4相クロック方式のしきい値相殺型ポンプ回路を用いても良い。

初段及び後段の昇圧セル11、13の昇圧クロック入力端子CLKMには、図2に示すように、互いに相補な関係にある昇圧クロック信号CLK1及びCLK2のうちのCLK1が入力されることにより入力電圧を昇圧する。一方、中段の昇圧セル12の昇圧クロック入力端子CLKMには、昇圧クロック信号CLK1及びCLK2のうちのCLK2が入力されることにより入力電圧を昇圧する。

各接続切換回路131～13nは、それぞれ、入力端子VIからの入力電圧と昇圧能力切替信号EN1～ENnのうち対応する一信号とを受けるレベルシフタLSと、昇圧用キャパシタCPの対向する各電極とそれぞれ直列に接続され、各ゲートがレベルシフタLSの出力端子と接続された第1のPchトランジスタ M_{c1} 及び第2のPchトランジスタ M_{c2} とにより構成されている。

昇圧電圧検知回路120は、図3に示すように、昇圧電圧 V_{PP} と接地端子との間に直列に接続された抵抗器R1、R2と、一方の入力端子が抵抗器R1、R2の接続ノード V_{PPDP} と接続され、他方の入力端子が基準電圧 V_{REF} を受け、接続ノード V_{PPDP} の電圧と基準電圧 V_{REF} との比較演算を行なって、クロック制御信号PENを出力する電圧比較器とにより構成されている。ここでは電圧比較器として差動増幅器を用い、非反転入力端子には基準電圧 V_{REF} が印加され、反転入力端子には接続ノード V_{PPDP} の電圧が印加される。この構成により、接続ノード V_{PPDP} の電圧が基準電圧 V_{REF} よりも低い場合は、クロック制御信号PENの電位はハイレベルとなり、接続ノード V_{PPDP} の電圧が基準電圧 V_{REF} よりも高い場合は、クロック制御信号PENの電位はロウレベルとなる。

昇圧クロック制御回路140は、図1に示すように、一方の入力端子がクロック信号CLK1又はCLK2を受け、他方の入力端子がクロック制御信号PENを受ける2つのアンド回路を有しており、各アンド回路の演算結果に応じてクロ

ック信号CLK1又はCLK2を各昇圧セル11～13の昇圧クロック入力端子CLKMに供給する。このように、昇圧クロック制御回路140は、昇圧電圧検知回路120からのクロック制御信号PENに基づいて、昇圧部10に対するクロック信号CLK1又はCLK2の供給及び停止を制御し、これにより、昇圧部10における昇圧動作が制御される。

以下、前記のように構成された昇圧回路の動作を説明する。

図1に示す昇圧部10において、外部から入力される各昇圧能力切替信号EN1～ENnの値がそれぞれロウレベルの場合には、昇圧セル11～13の各接続切換回路131～13nに含まれるn個のレベルシフタLSからの出力値は、いずれもロウレベルとなる。このため、接続切換回路131～13nにおける各PchトランジスタMc1、Mc2は共に導通状態となるので、各接続切換回路131～13nに対応して設けられた補助昇圧用キャパシタCS1～CSnが昇圧用キャパシタCPと並列接続として導通するようになり、その結果、昇圧部10の昇圧能力が高くなる。

これとは逆に、各昇圧能力切替信号EN1～ENnの値がそれぞれハイレベルとなると、各レベルシフタLSからの出力値は出力端子VOの電圧レベルとなるため、接続切換回路131～13nの各PchトランジスタMc1、Mc2は非導通状態となる。これにより、各接続切換回路131～13nに対応して設けられた補助昇圧用キャパシタCS1～CSnは昇圧用キャパシタCPと電氣的に切り離されて、昇圧部10における昇圧能力が低下する。その上、補助昇圧用キャパシタCS1～CSnが切り離されることにより寄生容量が低減するため、昇圧部10における消費電流を低減することができる。

例えば、第1の実施形態に係る昇圧回路を用いると、負荷電流の大きさが異なるモード、例えば該昇圧回路を組み込む半導体装置における動作モードやスタンバイモード等において、負荷電流が大きい動作モードでは、各昇圧能力切替信号EN1～ENnのうちの一部又は全部の値をロウレベルに調整して、昇圧用キャパシタCPと接続される補助昇圧用キャパシタCSnの数を増やすことにより、昇圧部10における昇圧能力を大きくすることができる。

逆に、負荷電流が小さいスタンバイモードでは、各昇圧能力切替信号EN1～

EN_nのうちの一部又は全部の値をハイレベルに調整して、昇圧用キャパシタC_Pと接続される補助昇圧用キャパシタC_{S_n}の数を減らすことにより、昇圧部10における昇圧能力を小さくすることができる。

以上説明したように、第1の実施形態によると、外部からの制御信号（昇圧能力切替信号EN₁～EN_n）に基づいて、各昇圧セル11～13における補助昇圧用キャパシタC_{S_n}の個数を増減して、各昇圧セル11～13ごとの容量を増減することにより、昇圧部10における昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧V_{REF}）に対するオーバーシュートを防止することができるので、昇圧回路を構成する素子の信頼性を向上することができる。その上、昇圧能力が小さくて済む動作モードにおいては、その昇圧能力を抑制できるので、昇圧回路における消費電流を低減することができる。

なお、ここでは、昇圧部10における昇圧セル11～13を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

（第2の実施形態）

以下、本発明の第2の実施形態について図面を参照しながら説明する。

図4は本発明の第2の実施形態に係る昇圧回路を示している。図4において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図4に示すように、第2の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル21、22、23、後段の昇圧セル23の出力側に設けられダイオード接続されたNchトランジスタからなる電力出力部24を含む昇圧部10Aと、該昇圧部10Aから出力される出力電圧（昇圧電圧）V_{PP}を検知し、検知した出力電圧V_{PP}が所定の電圧値以下である場合に、クロック制御信号PENを出力する昇圧電圧検知回路120と、クロック制御信号PENに基づいて、外部から入力されるクロック信号CLK₁又はCLK₂を各昇圧セル11～13に対して選択的に出力する昇圧クロック制御回路140と、外部から入力される制御信号としての昇圧能力切替信号EN₁～EN_nに基づいて、クロック信号CLK₁又はCLK₂の振幅を変更して切り換えたクロック信号をそれぞれ出力す

るクロック振幅切換回路51、52とにより構成されている。

各昇圧セル21～23は、入力端子VINと出力端子VOとの間に設けられ、ダイオード接続された第1のNchトランジスタM21と、ゲート及びドレインが電源電圧VDDに接続され、ソースが第1のNchトランジスタM21のソースと接続された第2のNchトランジスタM22と、昇圧クロック入力端子CLKM及び第1のNchトランジスタM21のドレインの間に設けられた昇圧用キャパシタCPとを有している。

また、初段の昇圧セル21の入力端子VINには、ゲート及びドレインが電源電圧VDDに接続された第3のNchトランジスタM23が接続されている。

ここで、昇圧部10Aにおける昇圧効率を上げるには、各NchトランジスタM21～M23のしきい値電圧が0Vであることが望ましい。また、第1のNchトランジスタM21又は第2のNchトランジスタM22に代えてダイオードを用いても良く、さらには、4相クロック方式のしきい値相殺型ポンプ回路を用いても良い。

昇圧部10Aと昇圧クロック制御回路140との間に設けられたクロック振幅切換回路51、52は、それぞれ、ソースが電源電圧VDDと接続されたPchトランジスタM24と、ソースが接地電圧VSSと接続された第4のNchトランジスタM25とを有している。PchトランジスタM24と第4のNchトランジスタM25とのドレイン同士の間には、入力されるクロック信号CLK1又はCLK2の振幅を切り換えるための、それぞれゲート及びドレインが接続されたn（但し、nは1以上の整数。）個のNchトランジスタMNv1～MNvnが直列に接続されている。また、PchトランジスタM24と第4のNchトランジスタM25の互いのゲートは接続されており、この共通のゲートには、クロック信号CLK1又はそれと相補な関係のクロック信号CLK2が入力される。さらに、各NchトランジスタMNv1～MNvnのドレイン及びソースには、スイッチ素子としてn個のPchトランジスタMPv1～MPvnがそれぞれNchトランジスタMNv1～MNvnと対応するように接続され、各PchトランジスタMPv1～MPvnのゲートには、昇圧能力制御信号EN1～ENnがそれぞれ入力される。

この構成により、外部から入力されるクロック信号CLK1又はCLK2は、クロック振幅切換回路51、52によって、その振幅が変更された後、各昇圧セル21～23に供給される。

以下、前記のように構成された昇圧回路の動作を説明する。

図5(a)に示すように、例えば、 n 個の昇圧能力制御信号 $EN1 \sim ENn$ のうち、 m （但し、 m は、 $1 \leq m \leq n$ の整数。）本の昇圧能力制御信号 $EN1 \sim ENm$ の電位をハイレベルとした場合には、クロック振幅切換回路51、52におけるスイッチトランジスタであるPchトランジスタ $MP_{v-1} \sim MP_{vm}$ はそれぞれ非導通となるため、図5(b)に示すように、クロック信号CLK1又はCLK2の振幅 VDD に対し、振幅切換回路51、52からの出力信号の振幅は $VDD - m \cdot Vt$ となる。ここで、 Vt はNchトランジスタ $MN_{v-1} \sim MN_{vn}$ の各しきい値電圧を表わしている。このように、第2の実施形態に係る昇圧部10Aは、昇圧能力制御信号 $EN1 \sim ENn$ によって、昇圧部10Aを動作させるクロック信号の振幅を小さくすることにより、該昇圧部10Aにおける昇圧能力を下げることができる。

例えば、昇圧回路に対して、電源電圧を比較的に広い帯域で昇圧させる場合に、高い電源電圧の場合は、外部から入力されるクロック信号CLK1又はCLK2から昇圧用クロック信号の振幅を小さくして、昇圧部10Aにおける昇圧能力を小さくすれば良い。これにより、昇圧用クロック信号の振幅が小さくなることから、高い電源電圧での耐圧オーバーをも防止することもできる。

以上説明したように、第2の実施形態に係る昇圧回路によると、外部からの制御信号（昇圧能力切替信号 $EN1 \sim ENn$ ）に基づいて、昇圧用クロック信号の振幅を、外部から入力されるクロック信号CLK1又はCLK2の振幅よりも小さくすることにより、昇圧部10Aにおける昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧 $VREF$ ）に対するオーバーシュートを防止することができるので、昇圧回路を構成する素子の信頼性を向上することができる。その上、比較的に高い電源電圧で動作する際には、各素子の耐圧オーバーをも防止することができる。

なお、第2の実施形態においても昇圧部10Aにおける昇圧セル21～23を

3 段構成としたが、これに限られず、1 段でも良く、また、4 段以上としても良い。

（第 3 の実施形態）

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

図 6 は本発明の第 3 の実施形態に係る昇圧回路を示している。図 6 において、図 1 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図 6 に示すように、第 3 の実施形態に係る昇圧回路は、互いに直列に接続された 3 段の昇圧セル 3 1、3 2、3 3 と、後段の昇圧セル 3 3 の出力側に設けられ、ダイオード接続された N c h トランジスタからなる電力出力部 3 4 とを含む昇圧部 1 0 B と、該昇圧部 1 0 B から出力される出力電圧（昇圧電圧）V P P を検知し、検知した出力電圧 V P P が所定の電圧値以下である場合に、クロック制御信号 P E N を出力する昇圧電圧検知回路 1 2 0 と、クロック制御信号 P E N に基づいて、外部から入力されるクロック信号 C L K 1 0、C L K 2 0、C L K 3 0 又は C L K 4 0 を各昇圧セル 3 1 ～ 3 3 に対して選択的に出力する昇圧クロック制御回路 1 4 0 A とにより構成されている。

各昇圧セル 3 1 ～ 3 3 は、入力端子 V I N と出力端子 V O との間に設けられ、互いに並列に接続された n（但し、n は 2 以上の整数。）個の N c h の電荷転送トランジスタ M 3 1 ～ M 3 n と、該電荷転送トランジスタ M 3 1 ～ M 3 n の各ゲートと接続され、該各ゲートを駆動するゲート昇圧用キャパシタ C g 1 ～ C g n と、電荷転送トランジスタ M 3 1 ～ M 3 n の各ゲート及びドレインの間にそれぞれ直列に接続され、該ゲート及びドレインの間を導通又は非導通とする n 個の N c h トランジスタであるスイッチトランジスタ S W 1 ～ S W n と、出力端子 V O 及びクロック信号 C L K 3 0 又は C L K 4 0 が入力される昇圧クロック入力端子 C L K M の間に設けられた昇圧用キャパシタ C P とを有している。

さらに、各昇圧セル 3 1 ～ 3 3 は、外部から入力される制御信号としての昇圧能力切替信号 E N 1 ～ E N n - 1 を受け、ゲート昇圧用キャパシタ C g 1 ～ C g n のうちの C g 2 ～ C g n に対して選択的に駆動電圧を印加する電荷転送トランジスタ制御回路 3 3 0 を有している。ここで、ゲート昇圧用キャパシタ C g 1 に

は、クロック信号 $CLK10$ 又は $CLK20$ が制御クロック入力端子 $CLKS$ を介して直接に入力される。

電荷転送トランジスタ制御回路330は、昇圧能力切替信号 $EN1 \sim ENn-1$ のうちの1つの信号が入力される $n-1$ 個のインバータと、それぞれ、一方の入力端子が各インバータの出力を受け、他方の入力端子がクロック信号 $CLK10$ 又は $CLK20$ を受ける $n-1$ 個のアンド回路とにより構成されている。

この構成により、昇圧能力制御信号 $EN1 \sim ENn-1$ に基づいて、クロック信号 $CLK10$ 又は $CLK20$ がゲート昇圧用キャパシタ $Cg2 \sim Cgn$ に対して選択的に印加されるため、電荷転送トランジスタ $M32 \sim M3n$ のうち駆動されるトランジスタの個数が調節される。

第3の実施形態で用いるクロック信号 $CLK10$ 、 $CLK20$ 、 $CLK30$ 及び $CLK40$ のタイミングチャートは、図7に示す通りであり、例えば、後段の昇圧セル33においては、制御クロック入力端子 $CLKS$ に印加されるクロック信号 $CLK10$ の電位がハイレベルの期間は、昇圧クロック入力端子 $CLKM$ に印加されるクロック信号 $CLK40$ は、クロック信号 $CLK10$ の電位がハイレベルに遷移するよりも前からロウレベルに遷移し、且つクロック信号 $CLK10$ の電位がロウレベルに遷移した後にハイレベルに遷移する。

また、昇圧クロック制御回路140Aは、第1の実施形態と同様に、昇圧電圧検知回路120からのクロック制御信号 PEN によって、クロック信号 $CLK10$ 、 $CLK20$ 、 $CLK30$ 及び $CLK40$ の出力が同時に制御される。

ここでも、昇圧部10Bにおける昇圧効率を上げるには、各 Nch トランジスタ $M31 \sim M3n$ のしきい値電圧が0Vであることが望ましい。

以下、前記のように構成された昇圧回路の動作を説明する。

昇圧部10Bにおいて、初段の昇圧セル31に含まれる昇圧用キャパシタ CP から、中段の昇圧セル32に含まれる昇圧用キャパシタ CP 、さらに後段の昇圧セル33に含まれる昇圧用キャパシタ CP というように、各昇圧キャパシタ CP に順次電荷を蓄積して所定の昇圧電圧を得る。このとき、初段の昇圧キャパシタ CP から昇圧された電圧を中段の昇圧キャパシタ CP に転送する際に、所定のタイミングで、中段の各ゲート昇圧キャパシタ $Cg1 \sim Cgn$ に入力されるクロッ

ク信号CLK20の電位をロウレベルからハイレベルに遷移することにより、初段から転送される昇圧電圧の電圧降下が抑制される。

続いて、初段から中段の昇圧容量CPに転送された昇圧電圧は、入力されるクロック信号CLK30の電位をロウレベルからハイレベルに遷移することにより、さらに昇圧され、中段の昇圧セル32から転送された昇圧電圧は、後段の昇圧セル33に転送されて、所定の昇圧電圧だけ昇圧される。この一連の昇圧動作を繰り返すことにより、電源電圧VDDよりも高い昇圧電圧を発生させることができる。昇圧された電圧は、電力出力部34を構成するNchトランジスタの電流通路の入力端子に供給される。

第3の実施形態においては、昇圧能力制御信号EN1～ENn-1のうち、例えば、m（但し、mは、 $2 \leq m \leq n$ の整数。）番目の制御信号ENmの電位をハイレベルとした場合に、電荷転送トランジスタM3mのゲートに接続されているゲート昇圧用キャパシタCgmに対して、電荷転送トランジスタ制御回路330がクロック信号CLK10又はCLK20を供給しないため、電荷転送トランジスタM3mは非動作状態となるので、出力端子VOに電荷を転送をしなくなる。

図8は各昇圧セル31～33において、n個の電荷転送トランジスタM31～M3nのうち動作するトランジスタの数が多い場合と少ない場合との昇圧電圧の内部波形を示す。

図8に示すように、各昇圧セル31～33における電荷転送トランジスタM31～M3nの動作数が多い場合は、電荷の転送速度が速くなるため、その昇圧能力は大きくなる。一方、電荷転送トランジスタM31～M3nの動作数が少ない場合は、電荷の転送速度が遅くなり、その昇圧能力は小さくなる。このように、転送速度を遅くすることによって、昇圧動作時の電源電流のピーク値を低減することができる。

例えば、負荷電流の大きさが異なるモード、例えば該昇圧回路を組み込む半導体装置における動作モードやスタンバイモード等において、負荷電流が大きい動作モードでは、各昇圧能力切替信号EN1～ENnのうちの一部又は全部の値をロウレベルに調整して、ゲート昇圧用キャパシタCg2～Cgnと接続される電荷転送トランジスタM32～M3nの動作数を増やすことにより、各昇圧セル3

1～33の昇圧能力を大きくすることができる。

逆に、負荷電流が小さいスタンバイモードでは、各昇圧能力切替信号 $EN1 \sim ENn$ のうちの一部又は全部の値をハイレベルに調整して、ゲート昇圧用キャパシタ $Cg2 \sim Cgn$ と接続される電荷転送トランジスタ $M32 \sim M3n$ の動作数を減らすことにより、各昇圧セル31～33の昇圧能力を小さくすることができる。

このように、第3の実施形態に係る昇圧回路によると、外部からの制御信号（昇圧能力切替信号 $EN1 \sim ENn-1$ ）に基づいて、各昇圧セル31～33における電荷転送トランジスタ $M32 \sim M3n$ の動作数を調節することにより、昇圧部10Bにおける昇圧能力を調整することができるため、昇圧電圧検知回路120に設定された目標電圧（基準電圧 $VREF$ ）に対するオーバーシュートを防止することができる。これにより、昇圧回路を構成する素子の信頼性を向上できると共に、昇圧動作時における電源電流のピーク値が低減されるので、昇圧回路の動作ノイズを小さくすることができる。

なお、昇圧部10Bにおける昇圧セル31～33を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

（第4の実施形態）

以下、本発明の第4の実施形態について図面を参照しながら説明する。

図9は本発明の第4の実施形態に係る昇圧回路を示している。図9において、図1及び図6に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図9に示すように、第4の実施形態に係る昇圧回路は、互いに直列に接続された3段の昇圧セル41、42、43と、後段の昇圧セル43の出力側に設けられた電力出力部34とを含む昇圧部10Cと、該昇圧部10Cから出力される出力電圧（昇圧電圧） VPP を検知し、検知した出力電圧 VPP が所定の電圧値以下である場合に、クロック制御信号 PEN を出力する昇圧電圧検知回路120と、クロック制御信号 PEN に基づいて、外部から入力されるクロック信号 $CLK50$ 、 $CLK60$ 、 $CLK1$ 又は $CLK2$ を各昇圧セル41～43に対して選択的に出力する昇圧クロック制御回路140Aとにより構成されている。

各昇圧セル 4 1 ~ 4 3 は、入力端子 V I N と出力端子 V O との間に設けられ、互いに並列に接続された 3 個の N c h の電荷転送トランジスタ M 4 1 ~ M 4 3 と、該電荷転送トランジスタ M 4 1 ~ M 4 3 の各ゲートと接続され、該各ゲートを駆動するゲート昇圧用キャパシタ C g 1 ~ C g n 3、電荷転送トランジスタ M 4 1 ~ M 4 3 の各ゲート及びドレインの間にそれぞれ直列に接続され、該ゲート及びドレインの間を導通又は非導通とする 3 個の N c h トランジスタであるスイッチトランジスタ S W 1 ~ S W 3 と、出力端子 V O 及びクロック信号 C L K 1 又は C L K 2 が入力される昇圧クロック入力端子 C L K M の間に設けられた昇圧用キャパシタ C P とを有している。ここで、電荷転送トランジスタ 4 1 ~ 4 3 の個数を 3 としているが、これに限られない。

さらに、各昇圧セル 4 1 ~ 4 3 は、外部から入力されるクロック信号 5 0 又は C L K 6 0 を受け、ゲート昇圧用キャパシタ C g 1 ~ C g 3 のうちの C g 2 及び C g 3 に対して駆動電圧の印加タイミングに遅延を設ける電荷転送トランジスタシフト制御回路 4 3 0 を有している。ここで、ゲート昇圧用キャパシタ C g 1 には、クロック信号 C L K 5 0 又は C L K 6 0 が制御クロック入力端子 C L K S を介して直接に入力される。

電荷転送トランジスタシフト制御回路 4 3 0 は、一方の入力端子が制御クロック入力端子 C L K S と接続され、他方の入力端子が制御クロック入力端子 C L K S と直列に続された 2 つのインバータからなる遅延回路 4 3 1 を介して接続され、出力端子がゲート昇圧用キャパシタ C g 2 と接続された第 1 のアンド回路 4 3 2 と、一方の入力端子が制御クロック入力端子 C L K S と接続され、他方の入力端子が該制御クロック入力端子 C L K S と直列に接続された 2 組の遅延回路 4 3 1 を介して接続され、出力端子がゲート昇圧用キャパシタ C g 3 と接続された第 2 のアンド回路 4 3 3 とにより構成されている。

また、昇圧クロック制御回路 1 4 0 A は、第 3 の実施形態と同様に、昇圧電圧検知回路 1 2 0 からのクロック制御信号 P E N によって、クロック信号 C L K 5 0、C L K 6 0、C L K 1 及び C L K 2 の出力が同時に制御される。

ここでも、昇圧部 1 0 B における昇圧効率を上げるには、各 N c h トランジスタ M 4 1 ~ M 4 3 のしきい値電圧が 0 V であることが望ましい。

このように、第4の実施形態に係る昇圧回路は、各昇圧セル41～43に含まれる各電荷転送トランジスタM42、M43のゲートと接続されたゲート昇圧用キャパシタCg2～Cg3に対して、駆動電圧の印加タイミングに遅延を与える電荷転送トランジスタシフト回路430を設けているため、電荷転送トランジスタM41～43の動作数が順次シフトしながら増加する。

以下、前記のように構成された昇圧回路の動作を説明する。

まず、各昇圧セル41～43に入力される昇圧用のクロック信号CLK1及びCLK2は、図2に示したように、互いに相補な関係を有する方形波である。

昇圧部10Cにおいて、初段の昇圧セル41に含まれる昇圧用キャパシタCPから、中段の昇圧セル42に含まれる昇圧用キャパシタCP、さらに後段の昇圧セル43に含まれる昇圧用キャパシタCPというように、各昇圧キャパシタCPに順次電荷を蓄積して所定の昇圧電圧を得る。このとき、初段の昇圧キャパシタCPから昇圧された電圧を中段の昇圧キャパシタCPに転送する際に、所定のタイミングで、中段の各ゲート昇圧キャパシタCg1～Cg3に入力されるクロック信号CLK60の電位をロウレベルからハイレベルに遷移することにより、図10に示すように、電荷転送トランジスタM41～M43の各ゲート電圧CLKS1～CLKS3は、第1の電荷転送トランジスタM41から第3の電荷転送トランジスタM43まで順次シフトして上昇する。これにより、入力された電荷の転送は段階的に行なわれると共に、昇圧動作時における電源電流のピーク値を抑えることができる。

以上説明したように、第4の実施形態に係る昇圧回路によると、簡便な回路構成で、各昇圧セル41～43における電荷転送トランジスタM41～M43に対して動作タイミングをシフトしながら駆動電圧を供給するため、昇圧部10Cにおける昇圧動作時における電源電流のピーク値を低減でき、昇圧回路の動作ノイズを小さくすることができる。

なお、昇圧部10Cにおける昇圧セル41～43を3段構成としたが、これに限られず、1段構成でも良く、また、4段以上の構成としても良い。

(第5の実施形態)

以下、本発明の第5の実施形態について図面を参照しながら説明する。

図 1 1 は本発明の第 5 の実施形態に係る昇圧回路のブロック構成を示している。図 1 1 において、図 1 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図 1 1 に示すように、第 5 の実施形態に係る昇圧回路は、昇圧部 1 0 と、該昇圧部 1 0 から出力される出力電圧（昇圧電圧） V_{PP} を検知し、検知した出力電圧 V_{PP} が所定の電圧値以下である場合に、クロック制御信号 PEN を昇圧部 1 0 に出力する昇圧電圧検知回路 1 2 0 と、出力電圧 V_{PP} を検知し、検知した出力電圧 V_{PP} に基づいて、制御信号としての昇圧能力切替信号 $EN1 \sim ENn$ を昇圧部 1 0 に出力する昇圧電圧検知制御回路 6 0 とにより構成されている。ここでは、クロック制御信号 PEN を受ける昇圧クロック制御回路は昇圧部 1 0 に組み込まれている。

図 1 2 は昇圧電圧検知制御回路 6 0 の回路構成の一例を示している。

図 1 2 に示すように、第 5 の実施形態に係る昇圧電圧検知制御回路 6 0 は、出力電圧 V_{PP} と接地端子との間に互いに直列に接続された $n+1$ （但し、 n は 1 以上の整数。）個の抵抗器 $R1 \sim R_{n+1}$ と、各抵抗器 $R1 \sim R_{n+1}$ における各隣接間のノード $V_{PPD1} \sim V_{PPDn}$ の電位と基準電圧 V_{REF} とが入力され、且つ各ノード $V_{PPD1} \sim V_{PPDn}$ の電位と基準電圧 V_{REF} とを比較して演算を行ない、昇圧能力切替信号 $EN1 \sim ENn$ を出力する電圧比較部 6 1 とから構成されている。

電圧比較部 6 1 は、昇圧能力切替信号 $EN1 \sim ENn$ をそれぞれ出力する n 個の差動増幅器からなり、反転入力端子には基準電位 V_{REF} が入力され、非反転入力端子には各ノード $V_{PPD1} \sim V_{PPDn}$ の電位がそれぞれ入力される。

この構成により、昇圧電圧検知制御回路 6 0 から出力される、各ノードと対応する昇圧能力切替信号 $EN1 \sim ENn$ は、昇圧電圧 V_{PP} を抵抗分割した各ノード $V_{PPD1} \sim V_{PPDn}$ が基準電圧 V_{REF} よりも低い場合には、それぞれロウレベルとなり、基準電圧 V_{REF} よりも高い場合には、それぞれハイレベルとなる。

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧 V_{PP} の電圧波形を示す図 1 3 を参照しながら説明する。

図 1 3 に示すように、クロック制御信号 P E N がハイレベルとなり、昇圧動作が開始された直後は、昇圧電圧 V P P は、 $V P P < \text{判定レベル} 1 < \text{判定レベル} 2 < \dots < \text{判定レベル} n$ であるため、昇圧電圧検知制御回路 6 0 から出力される昇圧能力切替信号 E N 1 ~ E N n の電位はすべてロウレベルとなるので、例えば第 1 の実施形態で説明したように、昇圧部 1 0 における昇圧能力は最大となる。ここで、各判定レベルの算出式は、以下の通りである。

判定レベル n

$$= V R E F \times (R 1 + R 2 + \dots + R n + 1) / R 1$$

判定レベル n - 1

$$= V R E F \times (R 1 + R 2 \dots + R n + 1) / (R 1 + R 2)$$

判定レベル 1

$$= V R E F \times (R 1 + R 2 \dots + R n + 1) / (R 1 + R 2 + \dots + R n)$$

その後、昇圧電圧 V P P が次第に昇圧されて、判定レベル 1 を超えると、昇圧電圧検知制御回路 6 0 から出力される昇圧能力切替信号 E N 1 の電位がハイレベルとなって、昇圧部 1 0 の昇圧能力が下がる。

さらに、昇圧電圧 V P P が判定レベル n よりも高い電位の昇圧有効レベルを超えるまでは、段階的に昇圧能力を下げながら昇圧動作を続け、昇圧有効レベルを超えると、クロック制御信号 P E N が非活性となって、昇圧部 1 0 はその昇圧動作を停止する。

このように、第 5 の実施形態に係る昇圧回路によると、出力電圧 V P P の電圧値を段階的に検知して、制御信号（昇圧能力切替信号 E N 1 ~ E N n）を出力する昇圧電位検知制御回路 6 0 を備えているため、昇圧電圧 V P P が、設定された目標電圧に近づくにつれて昇圧能力が下がるので、出力電圧 V P P のオーバーシュートが防止され、その結果、昇圧回路を構成する素子の信頼性を向上することができる。

なお、昇圧部 1 0 は、第 1 の実施形態に係る構成には限られず、第 2 又は第 3 の実施形態に係る昇圧部 1 0 A、1 0 B を用いても良い。

（第 6 の実施形態）

以下、本発明の第 6 の実施形態について図面を参照しながら説明する。

図 1 4 は本発明の第 6 の実施形態に係る昇圧回路のブロック構成を示している。図 1 4 において、図 1 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図 1 4 に示すように、第 6 の実施形態に係る昇圧回路は、昇圧部 1 0 と、該昇圧部 1 0 から出力される出力電圧（昇圧電圧） V_{PP} を検知し、検知した出力電圧 V_{PP} が所定の電圧値以下である場合に、クロック制御信号 PEN を昇圧部 1 0 に出力する昇圧電圧検知回路 1 2 0 と、電源電圧 V_{DD} に応じて、制御信号としての昇圧能力切替信号 $EN1 \sim ENn$ を昇圧部 1 0 に出力する電源電圧検知制御回路 7 0 とにより構成されている。ここでは、クロック制御信号 PEN を受け昇圧クロック制御回路は昇圧部 1 0 に組み込まれている。

図 1 5 は電源電圧検知制御回路 7 0 の回路構成の一例を示している。

図 1 5 に示すように、第 6 の実施形態に係る電源電圧検知制御回路 7 0 は、電源電圧 V_{DD} と接地端子との間に互いに直列に接続された $n+1$ （但し、 n は 1 以上の整数。）個の抵抗器 $R1 \sim R_{n+1}$ と、各抵抗器 $R1 \sim R_{n+1}$ における各隣接間のノード $V_{DDD1} \sim V_{DDDn}$ の電位と基準電圧 V_{REF} とが入力され、且つ各ノード $V_{DDD1} \sim V_{DDDn}$ の電位と基準電圧 V_{REF} とを比較して演算を行ない、昇圧能力切替信号 $EN1 \sim ENn$ を出力する電圧比較部 7 1 とから構成されている。

電圧比較部 7 1 は、昇圧能力切替信号 $EN1 \sim ENn$ をそれぞれ出力する n 個の差動増幅器からなり、反転入力端子には基準電位 V_{REF} が入力され、非反転入力端子には各ノード $V_{DDD1} \sim V_{DDDn}$ の電位がそれぞれ入力される。

この構成により、電源電圧検知制御回路 7 0 から出力される、各ノードと対応する昇圧能力切替信号 $EN1 \sim ENn$ は、電源電圧 V_{DD} を抵抗分割した各ノード $V_{DDD1} \sim V_{DDDn}$ が基準電圧 V_{REF} よりも低い場合には、それぞれロウレベルとなり、基準電圧 V_{REF} よりも高い場合には、それぞれハイレベルとなる。

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧 V_{PP} の電圧波形を示す図 1 6 を参照しながら説明する。

図 1 6 に示すように、電源電圧検知制御回路 7 0 において、電源電圧 V_{DD} が

$VDD < \text{判定レベル1}$ の場合は、昇圧能力切替信号 $EN1 \sim ENn$ の電位がすべてロウレベルとなるため、昇圧部10における昇圧能力は最大となる。

これに対し、電源電圧 VDD が $VDD > \text{判定レベル2}$ の場合には、昇圧能力切替信号 $EN1$ の電位がハイレベルとなって、昇圧部10における昇圧能力が下がる。ここで、各判定レベルの算出式は、前述した通りである。

このように、第6の実施形態に係る昇圧回路によると、電源電圧 VDD の電圧値を段階的に検知して、制御信号（昇圧能力切替信号 $EN1 \sim ENn$ ）を出力する電源電位検知制御回路70を備えているため、電源電圧 VDD が比較的に高い場合であっても、昇圧部10において昇圧能力が上がり過ぎないようにすることができるので、広い帯域を持つ電源電圧 VDD を用いて昇圧回路を動作させる場合においても、出力電圧 VPP のオーバーシュートを防止することができる。その結果、昇圧回路を構成する素子の信頼性を向上することができる。

なお、昇圧部10は、第1の実施形態に係る構成には限られず、第2又は第3の実施形態に係る昇圧部10A、10Bを用いても良い。

（第7の実施形態）

以下、本発明の第7の実施形態について図面を参照しながら説明する。

図17は本発明の第7の実施形態に係る昇圧回路のブロック構成を示している。図17において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

図17に示すように、第7の実施形態に係る昇圧回路は、昇圧部10と、該昇圧部10から出力される出力電圧（昇圧電圧） VPP を検知し、検知した出力電圧 VPP が所定の電圧値以下である場合に、クロック制御信号 PEN を昇圧部10に出力する昇圧電圧検知回路120と、出力電圧 VPP を検知し、検知した出力電圧 VPP に基づいて、制御信号としての昇圧能力切替信号 $EN1 \sim ENn$ を昇圧部10に出力する昇圧電圧検知制御回路60Aと、電源電圧 VDD を検知して昇圧能力切り替えイネーブル信号信号 $ENDET$ を昇圧電圧検知制御回路60Aに出力する電源電圧検知制御回路70Aにより構成されている。ここでは、クロック制御信号 PEN を受ける昇圧クロック制御回路は昇圧部10に組み込まれている。

図 18 (a) 及び図 18 (b) は昇圧電圧検知制御回路 60A 及び電源電圧検知制御回路 70A の回路構成の一例をそれぞれ示している。

図 18 (a) に示すように、昇圧電圧検知制御回路 60A は、図 12 に示す昇圧電圧検知制御回路 60 との相違点のみを説明すると、電圧比較部 61 と出力端子との間に、電圧比較部 61 を構成する n (但し、 n は 1 以上の整数。) 個の差動増幅器と対応するアンド回路からなるスイッチ部 62 を有している。

スイッチ部 62 を構成する各アンド回路は、それぞれ、一方の入力端子が昇圧能力切替信号 $EN1 \sim ENn$ のうちの 1 つを受け、他方の入力端子が電源電圧検知制御回路 70A からの昇圧能力切り替えイネーブル信号信号 $ENDET$ を受ける。

この構成により、昇圧電圧検知制御回路 60A は、昇圧電圧検知イネーブル信号信号 $ENDET$ の電位がハイレベルの期間においては、昇圧電圧 VPP が抵抗分割された各ノード $VPPD1 \sim VPPDn$ の電位が基準電圧 $VREF$ よりも低い場合には、各ノードと対応した昇圧能力切替信号 $EN1 \sim ENn$ をロウレベルで出力し、逆に、基準電圧 $VREF$ よりも高い場合には、各ノードと対応した昇圧能力切替信号 $EN1 \sim ENn$ をハイレベルで出力する。

一方、昇圧能力切り替えイネーブル信号 $ENDET$ の電位がロウレベルの期間においては、昇圧電圧検知制御回路 60A は、昇圧能力切替信号 $EN1 \sim ENn$ の電位をすべてロウレベルで出力する。

また、図 18 (b) に示すように、電源電圧検知制御回路 70A は、電源電圧 VDD と接地端子との間に直列に接続された抵抗器 $R1$ 、 $R2$ と、一方の入力端子が抵抗器 $R1$ 、 $R2$ の接続ノード $VDD E$ と接続され、他方の入力端子が基準電圧 $VREF$ を受け、接続ノード $VDD E$ の電圧と基準電圧 $VREF$ との比較演算を行なって、昇圧能力切り替えイネーブル信号 $ENDET$ を出力する電圧比較器とにより構成されている。ここでは電圧比較器として差動増幅器を用い、反転入力端子に基準電圧 $VREF$ が印加され、非反転入力端子に接続ノード $VDD E$ の電圧が印加される。この構成により、接続ノード $VDD E$ の電圧が基準電圧 $VREF$ よりも低い場合は、昇圧能力切り替えイネーブル信号 $ENDET$ はロウレベルとなり、接続ノード $VDD E$ の電圧が基準電圧 $VREF$ よりも高い場合は、

昇圧能力切り替えイネーブル信号 $ENDET$ はハイレベルとなる。

以下、前記のように構成された昇圧回路の動作について、昇圧回路から出力される昇圧電圧 V_{PP} の電圧波形を示す図 19 を参照しながら説明する。

図 18 (b) に示したように、電源電圧 V_{DD} が基準電圧 V_{REF} 及び抵抗器 R_1 、 R_2 の抵抗値により決定される所定の電圧値以上の高電源電圧である場合には、昇圧能力切り替えイネーブル信号 $ENDET$ の電位はハイレベルとなる。

これにより、図 18 (a) に示したように、昇圧電圧検知制御回路 60A は、昇圧電圧 V_{PP} の値に応じてハイレベル又はロウレベルの値を持つ昇圧能力切替信号 $EN_1 \sim EN_n$ を出力することができるため、図 19 に示すように、昇圧部 10 における昇圧能力を出力電圧検知制御レベルごとに調整することができる。

これに対し、電源電圧が所定の電圧値よりも低い低電源電圧である場合には、昇圧能力切り替えイネーブル信号 $ENDET$ の電位がロウレベルとなるため、ロウレベルの昇圧能力切り替えイネーブル信号 $ENDET$ を受ける昇圧電圧検知制御回路 60A から出力される昇圧能力切替信号 $EN_1 \sim EN_n$ の電位はすべてロウレベルとなるので、昇圧部 10 における昇圧能力は最大となり、例えば図 19 に示すように、出力電圧検知制御レベル 2 に達したとしても、昇圧部 10 の昇圧能力が下がらないようにすることができる。

このように、第 7 の実施形態に係る昇圧回路によると、電源電圧 V_{DD} を検知して、昇圧電圧検知制御回路 60A の出力を制御する電源電圧検知制御回路 70A を備えているため、電源電圧 V_{DD} の電圧値に応じて昇圧部 10 の昇圧能力を調整することができる。その結果、広い帯域を持つ電源電圧 V_{DD} を用いて昇圧回路を動作させる場合においても、出力電圧 V_{PP} のオーバーシュートを防止することができ、その上、低電源電圧時においても昇圧部 10 の昇圧能力を小さくし過ぎないようにすることができる。従って、昇圧回路を構成する素子の信頼性を向上することができると共に、電源電圧 V_{DD} が比較的に低い場合であっても、セットアップ時間の遅延を防止することができる。

なお、昇圧部 10 は、第 1 の実施形態に係る構成には限られず、第 2 又は第 3 の実施形態に係る昇圧部 10A、10B を用いても良い。

【クレーム】

1. 昇圧回路は、

それぞれが、電荷転送トランジスタと、互いに並列に接続された複数の昇圧用キャパシタとを含み、クロック信号により入力電圧を昇圧して出力する１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記クロック信号を出力するクロック発生部とを備え、

前記昇圧部は、制御信号に基づいて前記複数の昇圧用キャパシタの接続状態を切り換える接続切換回路を有している。

2. クレーム１の昇圧回路は、

前記昇圧部からの出力電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

3. クレーム２の昇圧回路は、

電源電圧を検知して、前記昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えている。

4. クレーム１の昇圧回路は、

電源電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

5. 昇圧回路は、

制御信号に基づいて、第１のクロック信号の振幅を変更し切り換えた第２のクロック信号を出力するクロック振幅切換部と、

それぞれが、電荷転送トランジスタ及び昇圧用キャパシタを含み、前記第２のクロック信号により入力電圧を昇圧して出力する１つの又は互いに直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第１のクロック信号を出力するクロック発生部とを

備えている。

6. クレーム5の昇圧回路は、

前記昇圧部からの出力電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

7. クレーム6の昇圧回路は、

電源電圧を検知して、前記昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えている。

8. クレーム5の昇圧回路は、

電源電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

9. 昇圧回路は、

それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が前記複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第1のクロック信号を受ける出力電圧用キャパシタとを含む1つの又は直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第1のクロック信号及び該第1のクロック信号と位相が異なる第2のクロック信号を出力するクロック発生部とを備え、

前記昇圧部は、

それぞれ、一方の電極が前記各電荷転送トランジスタのゲートと接続され、他方の電極が前記第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、

前記ゲート昇圧用キャパシタと接続され、制御信号に基づいて前記各電荷転送トランジスタを選択的に動作させる電荷転送トランジスタ制御回路と、

前記各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

10. クレーム9の昇圧回路は、

前記昇圧部からの出力電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

11. クレーム10の昇圧回路は、

電源電圧を検知して、前記昇圧電圧検知制御部の出力を制御する電源電圧検知制御部をさらに備えている。

12. クレーム9の昇圧回路は、

電源電圧を検出して、前記制御信号を出力する昇圧電圧検知制御部をさらに備えている。

13. 昇圧回路は、

それぞれが、互いに並列に接続され、前段からの出力電圧を入力として後段に出力する複数の電荷転送トランジスタと、一方の電極が前記複数の電荷転送トランジスタの出力端子と接続され、他方の電極が第1のクロック信号を受ける出力電圧用キャパシタとを含む1つの又は直列に接続された複数の昇圧セルを有する昇圧部と、

前記昇圧部から出力される昇圧電圧を検知し、検知した昇圧電圧が所定の電圧値以下である場合に、検知信号を出力する昇圧電圧検知部と、

前記検知信号により前記第1のクロック信号及び該第1のクロック信号と位相が異なる第2のクロック信号を出力するクロック発生部とを備え、

前記昇圧部は、

それぞれ、一方の電極が前記各電荷転送トランジスタのゲートと接続され、他方の電極が前記第2のクロック信号を受ける複数のゲート昇圧用キャパシタと、

前記ゲート昇圧用キャパシタと接続され、前記複数の電荷転送トランジスタを順次シフトさせながら動作させる電荷転送トランジスタシフト制御回路と、

前記各電荷転送トランジスタにおける入力端子とゲートとの間を導通又は非導通とする複数のスイッチトランジスタとを有している。

【アブストラクト】

各昇圧セルは、ダイオード接続された第1のN c hトランジスタと、ゲートとドレインとが電源電圧に接続され、ソースが第1のN c hトランジスタのソースと接続された第2のN c hトランジスタと、第1のN c hトランジスタのドレイン、及びクロック信号が入力される昇圧クロック入力端子の間に設けられた昇圧用キャパシタとを有している。昇圧用キャパシタには、n個の補助昇圧用キャパシタが、外部から入力される制御信号としての昇圧能力切替信号により制御される接続切換回路を介してそれぞれ並列に接続されている。